

**DC-DC CONVERTER**

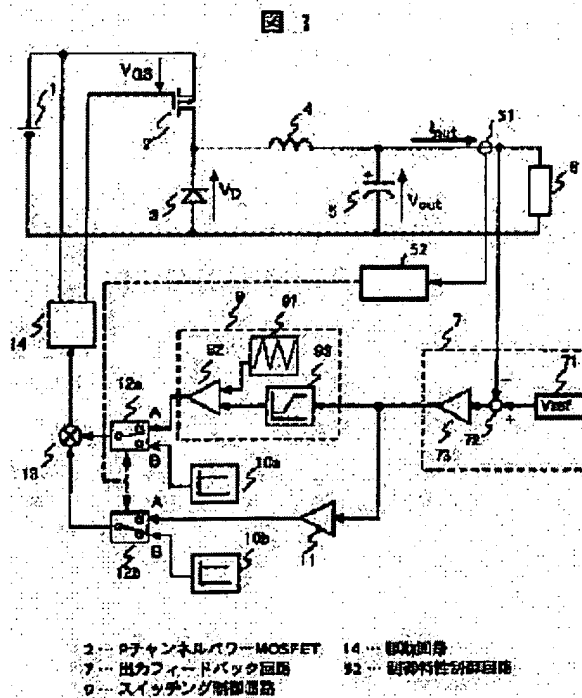
**Patent number:** JP2002199708  
**Publication date:** 2002-07-12  
**Inventor:** KANOUDA TAMAHIKO; ONDA KENICHI; TOKUNAGA KIICHI; SAGA RYOHEI  
**Applicant:** HITACHI LTD  
**Classification:**  
- **International:** H02M3/156; H02M3/158; H02M3/04; (IPC1-7): H02M3/155  
- **European:** H02M3/156; H02M3/158; H02M3/158S  
**Application number:** JP20000390693 20001222  
**Priority number(s):** JP20000390693 20001222

**Also published as:**

US6489756 (B2)  
US2002080631 (A1)

[Report a data error here](#)**Abstract of JP2002199708**

**PROBLEM TO BE SOLVED:** To enhance the efficiency of a dc-dc converter whose load current fluctuates significantly. **SOLUTION:** In a deboosting chopper type dc-dc converter, a power MOSFET is caused to have a high ON-resistance and is turned on, by applying a pulse train having a low peak value near threshold voltage to the MOSFET 2 in an intermediate load region. By doing this way, its output voltage is controlled by a PAM(pulse amplitude modulation) switching system, which makes the peak value lower than a source voltage.



Data supplied from the esp@cenet database - Worldwide



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2002-199708  
(P2002-199708A)

(43) 公開日 平成14年7月12日 (2002.7.12)

(51) Int.Cl.<sup>7</sup>  
H 0 2 M 3/155

識別記号

F I  
H 0 2 M 3/155

データベース (参考)

S 5 H 7 3 0  
H

審査請求 未請求 請求項の数14 O L (全 18 頁)

(21) 出願番号 特願2000-390693(P2000-390693)

(22) 出願日 平成12年12月22日 (2000. 12. 22)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 叶田 玲彦

茨城県日立市大みか町七丁目1番1号 株  
式会社日立製作所日立研究所内

(72) 発明者 恩田 謙一

茨城県日立市大みか町七丁目1番1号 株  
式会社日立製作所日立研究所内

(74) 代理人 100074631

弁理士 高田 幸彦 (外1名)

最終頁に続く

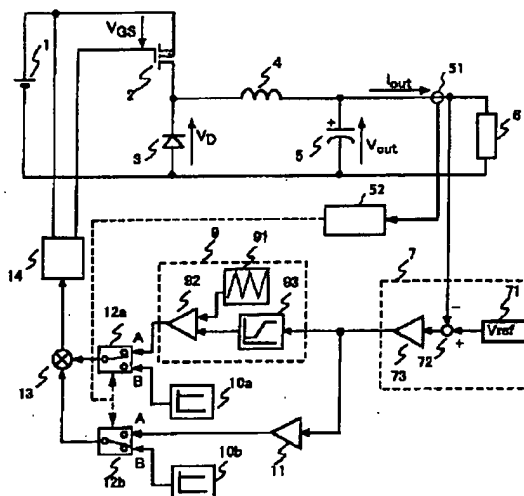
(54) 【発明の名称】 DC-DCコンバータ

(57) 【要約】

【課題】 負荷電流が大幅に変動するDC-DCコンバータの効率を高める。

【解決手段】 降圧チョッパ型のDC-DCコンバータにおいて、中間負荷領域では、スレッシュホールド電圧近傍の低い波高値のパルス列をパワーMOSFET 2に印加することで該パワーMOSFETを大きなオン抵抗を持たせてオンさせる。これにより波高値を電源電圧よりも低下させるPAM (パルス振幅変調) スイッチ方式で出力電圧を制御する。

図 1



2... PチャンネルパワーMOSFET 14... 駆動回路  
7... 出力フィードバック回路 52... 制御特性制御回路  
9... スイッチング制御回路

【特許請求の範囲】

【請求項1】半導体素子を制御することにより直流電源の電圧をより低い直流電圧に変換して出力するDC-DCコンバータにおいて、前記半導体素子の制御端子に印加するパルス列の波高値を変化させることにより前記半導体素子のオン電圧を調整して出力する直流電圧を安定に制御するようにしたことを特徴とするDC-DCコンバータ。

【請求項2】半導体素子を制御することにより直流電源の電圧をより低い直流電圧に変換して出力するDC-DCコンバータにおいて、前記半導体素子の制御端子に印加するパルス列のパルス幅を調整して出力電圧を制御すると共に、出力電流が所定値以下に低下する場合には、前記パルス幅を所定の一定値に維持した状態で前記パルス列の波高値を変化させることにより前記半導体素子のオン電圧を調整して出力電圧を安定に制御するようにしたことを特徴とするDC-DCコンバータ。

【請求項3】半導体素子を制御することにより直流電源の電圧をより低い直流電圧に変換して出力するDC-DCコンバータにおいて、負荷率が所定の値よりも高い状態では、前記半導体素子の制御端子に印加するパルス列の周波数を制御し、負荷率が前記所定の値よりも低い状態では前記パルス列の波高値を変化させることにより前記半導体素子のオン電圧を調整して出力電圧を安定に制御するようにしたことを特徴とするDC-DCコンバータ。

【請求項4】半導体素子を制御することにより直流電源の電圧をより低い直流電圧に変換して出力するDC-DCコンバータにおいて、前記半導体素子の制御端子に印加するパルス列の周波数を調整して出力電圧を制御すると共に、出力電流が所定の値以下に低下する場合には、前記周波数を所定の周波数の一定値に維持して前記パルス列の波高値を変化させることにより前記半導体素子のオン電圧を調整して出力電圧を安定に制御するようにしたことを特徴とするDC-DCコンバータ。

【請求項5】請求項4において、前記所定の周波数は、20kHz以上としたことを特徴とするDC-DCコンバータ。

【請求項6】半導体素子を制御することにより直流電源の電圧をより低い直流電圧に変換して出力するDC-DCコンバータにおいて、前記半導体素子の制御端子に印加するパルス列の波高値を変化させることにより前記半導体素子のオン電圧を調整し、負荷率が所定の値よりも低い状態では、前記制御端子に前記パルス列を印加する制御から前記制御端子に印加する電圧を連続的に上下させる制御に変更することにより出力電圧を安定に制御するようにしたことを特徴とするDC-DCコンバータ。

【請求項7】半導体素子を制御することにより直流電源の電圧をより低い直流電圧に変換して出力する非絶縁降圧型のDC-DCコンバータにおいて、定格負荷においては、前記半導体素子の制御端子に印加するパルス列のパルス幅を所定の幅以上として出力電圧を制御し、

出力電流が第1の所定の値以下に低下する場合には、前記パルス幅を所定の一定値として前記パルス列の周波数を所定の周波数以上に限定して出力電圧を制御し、出力電流が第1の値よりも小さい第2の値よりも低下する場合には、前記周波数を所定の一定周波数として前記パルス列の波高値を変化させることにより前記半導体素子のオン電圧を調整して出力電圧を制御し、出力電流が第2の値よりも小さい第3の値よりも低下する場合には、前記制御端子に前記パルス列を印加する制御から前記制御端子に印加する電圧を連続的に上下させる制御に変更することにより出力電圧を安定に制御するようにしたことを特徴とするDC-DCコンバータ。

【請求項8】請求項7において、無負荷では前記制御端子に印加する電圧を連続的に上下させることにより出力電圧を制御し、出力電流が前記第3の値よりも大きな第4の値以上に増加する場合には、前記周波数を所定の一定周波数とし、且つ前記パルス列の波高値を変化させることにより前記半導体素子のオン電圧を調整して出力電圧を制御し、前記第2の値よりも大きな第5の値以上に増加する場合には、前記パルス幅を所定の一定値として前記パルス列の周波数を所定の周波数以上に限定して出力電圧を制御し、出力電流が前記第1の値よりも大きな第6の値よりも増加する場合には、前記半導体素子の制御端子に印加するパルス列のパルス幅を所定の幅以上として出力電圧を安定に制御するようにしたことを特徴とするDC-DCコンバータ。

【請求項9】請求項1～8の1項において、前記半導体素子と直列にリアクトルと電荷蓄積手段の直列回路を接続し、この直列体の両端に、前記半導体の側が正極になるように前記直流電源の電圧を印加すると共に、前記リアクトルと前記電荷蓄積手段との直列体に並列に第2の半導体素子を接続し、

前記半導体素子がオンしているときには前記第2の半導体素子をオフ状態とし、前記直流電源から前記リアクトルに電流を流通させ、電荷蓄積手段に電荷を充電し、前記半導体素子がオフしているときには前記第2の半導体素子をオンさせ、前記リアクトルの電流を前記第2の半導体素子に環流させる同期整流制御機能を備え、且つ、少なくとも前記パルス列の波高値を変化させる制御を行なう際には前記第2の半導体素子をオフ状態とすることにより同期整流を行わないようにしたことを特徴とするDC-DCコンバータ。

【請求項10】請求項1～9の1項において、前記半導体素子として複数のパワーMOSFETを並列接続して

用いると共に、前記パワーMOSFETのうちの少なくとも1個のスレッシュホールド電圧は、他の並列パワーMOSFETのスレッシュホールド電圧よりも高く、且つオン抵抗が同等かあるいは低くしたことを特徴とするDC-DCコンバータ。

【請求項11】請求項1～10の1項において、前記半導体素子の制御端子に印加するパルス列は、パルスの立ち上がり時点から所定の時間までの第1の波高値と、前記所定の時間が経過した後の第2の波高値を有し、第1の波高値よりも第2の波高値の方を高くしたことを特徴とするDC-DCコンバータ。

【請求項12】請求項11において、前記第2のパルスよりも低い第3の波高値を所定の時間だけ前記半導体素子の制御端子に印加した後にパルスを立ち下げるようにしたことを特徴とするDC-DCコンバータ。

【請求項13】請求項1～12の1項において、負荷からの指令に応じて出力電圧を変更するようにしたことを特徴とするDC-DCコンバータ。

【請求項14】半導体素子を制御することにより直流電源の電圧をより低い電圧に変換して出力するDC-DCコンバータにおいて、前記半導体素子の一方の出力端子に前記直流電源が接続され、前記半導体素子の他方の出力端子に出力されるパルス電圧の波高値を変化させることによって出力する電圧を安定に制御するようにしたことを特徴とするDC-DCコンバータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、DC-DCコンバータに関する。

【0002】

【従来の技術】携帯電話やモバイル関連機器のようにバッテリーをエネルギー源とする機器の電源装置としては、リニアレギュレータが一般的である。このリニアレギュレータは、消費（負荷）電流の小さい待機域では比較的損失が小さいが、負荷電流および電源電圧と出力電圧の差電圧の積で決まる損失が発生する。この点に関して考慮した例として特開平11-341797号公報に開示された「降圧チョップパ形直流-直流変換装置の制御方法」がある。

【0003】

【発明が解決しようとする課題】従来の降圧チョップパ形直流-直流変換装置の構成と動作および課題について、図15を参照して説明する。図15において、1は直流電源、2はPチャネルパワーMOSFET、3は環流ダイオード、4は直流リアクトル、5は平滑コンデンサ、6は負荷、21は出力フィードバック回路、22はPWM（パルス幅変調）制御回路、23は切換スイッチである。

【0004】負荷6が定格負荷の場合は、切換スイッチ

23をPWM制御回路22の側に倒しておく。これにより、出力電圧フィードバック回路21は、平滑コンデンサ5の電圧を入力し、予め設定されている出力電圧基準値との誤差を増幅して誤差信号（アナログ信号）として出力する。そして、PWM制御回路22は、出力電圧フィードバック回路21から出力される誤差信号をパルス列に変換し、このパルス列によってPチャネルパワーMOSFET2をON/OFFすることにより電圧のPWM制御を行う。

【0005】一方、負荷6が減少して軽負荷になった場合には、出力電圧フィードバック回路21から出力される誤差信号をPチャネルパワーMOSFET2に直接印加する方向に切換スイッチ23を切り換える。この状態では、出力電圧フィードバック回路21から出力される誤差信号は、PチャネルパワーMOSFET2のゲート電極に直に印加される。これにより、PチャネルパワーMOSFET2は、誤差信号で駆動される増幅器（可変抵抗器）動作となり、直流電源1から入力する電圧を降下させて出力するリニアレギュレータとして動作することになる。

【0006】ところで、携帯電話やモバイル関連機器などのようにバッテリーをエネルギー源とする機器の高性能化に伴い、この機器に内蔵するCPU（中央演算処理装置）の処理能力を向上させることが必須課題となっており、CPUは、処理速度を高めるために電源電圧を低下させる傾向にある。この結果、これらの機器に搭載する電源装置は、従来に比べて入出力電圧の差の大きい降圧型の直流-直流電力変換が必要となる。バッテリーを電源とするこれらの機器において、電源装置の電力変換効率が重要なファクターであることはいうまでもない。

【0007】しかしながら、前述したような従来の電源装置では、CPUの電源電圧低下の動向に対して、十分な変換効率を有しているとはいえない。まず、リニアレギュレータ動作での効率 $\eta$ （イータ）は、入力電圧を $V_{in}$ 、出力電圧を $V_{out}$ とすると、およそ、 $\eta = V_{out} / V_{in}$  ……………（数1）であらわされる。（数1）式から、 $\eta$ は、入力電圧 $V_{in}$ が一定の条件では、出力電圧 $V_{out}$ に比例するために、出力電圧 $V_{out}$ が低下すれば効率 $\eta$ が低下することになる。

【0008】一方、PWM制御は、負荷が軽くなるに従ってスイッチング損失、駆動損失が支配的になって効率 $\eta$ が著しく低下することが知られている。

【0009】本発明の1つの目的は、DC-DCコンバータにおいて、軽負荷域や出力電圧差の大きな領域で効率が低下する問題を解決することにある。

【0010】

【課題を解決するための手段】本発明は、負荷状態に応じてPWM制御、PAMスイッチ制御、リニアレギュレータ制御あるいはPWM制御、PAMスイッチ制御、リ

ニアレギュレータ制御を切り換えて出力電圧を制御することにより、制御損失を軽減するものであり、具体的には、半導体素子を制御することにより直流電源の電圧をより低い直流電圧に変換して出力するDC-DCコンバータにおいて、前記半導体素子の制御端子に印加するパルス列の波高値を変化させることにより前記半導体素子のオン電圧を調整して出力する直流電圧を安定に制御するようにしたことを特徴とし、または、半導体素子を制御することにより直流電源の電圧をより低い直流電圧に変換して出力するDC-DCコンバータにおいて、前記半導体素子の制御端子に印加するパルス列のパルス幅を調整して出力電圧を制御すると共に、出力電流が所定値以下に低下する場合には、前記パルス幅を所定の一定値に維持した状態で前記パルス列の波高値を変化させることにより前記半導体素子のオン電圧を調整して出力電圧を安定に制御するようにしたことを特徴とし、または、半導体素子を制御することにより直流電源の電圧をより低い直流電圧に変換して出力するDC-DCコンバータにおいて、負荷率が所定の値よりも高い状態では、前記半導体素子の制御端子に印加するパルス列の周波数を制御し、負荷率が前記所定の値よりも低い状態では前記パルス列の波高値を変化させることにより前記半導体素子のオン電圧を調整して出力電圧を安定に制御するようにしたことを特徴とし、または、半導体素子を制御することにより直流電源の電圧をより低い直流電圧に変換して出力するDC-DCコンバータにおいて、前記半導体素子の制御端子に印加するパルス列の周波数を調整して出力電圧を制御すると共に、出力電流が所定の値以下に低下する場合には、前記周波数を所定の周波数の一定値に維持して前記パルス列の波高値を変化させることにより前記半導体素子のオン電圧を調整して出力電圧を安定に制御するようにしたことを特徴とし、または、半導体素子を制御することにより直流電源の電圧をより低い直流電圧に変換して出力するDC-DCコンバータにおいて、前記半導体素子の制御端子に印加するパルス列の波高値を変化させることにより前記半導体素子のオン電圧を調整し、負荷率が所定の値よりも低い状態では、前記制御端子に前記パルス列を印加する制御から前記制御端子に印加する電圧を連続的に上下させる制御に変更することにより出力電圧を安定に制御するようにしたことを特徴とし、または、半導体素子を制御することにより直流電源の電圧をより低い直流電圧に変換して出力する非絶縁降圧型のDC-DCコンバータにおいて、定格負荷においては、前記半導体素子の制御端子に印加するパルス列のパルス幅を所定の幅以上として出力電圧を制御し、出力電流が第1の所定の値以下に低下する場合には、前記パルス幅を所定の一定値として前記パルス列の周波数を所定の周波数以上に限定して出力電圧を制御し、出力電流が第1の値よりも小さい第2の値よりも低下する場合には、前記周波数を所定の一定周波数として

前記パルス列の波高値を変化させることにより前記半導体素子のオン電圧を調整して出力電圧を制御し、出力電流が第2の値よりも小さい第3の値よりも低下する場合には、前記制御端子に前記パルス列を印加する制御から前記制御端子に印加する電圧を連続的に上下させる制御に変更することにより出力電圧を安定に制御するようにしたことを特徴とし、または、半導体素子を制御することにより直流電源の電圧をより低い電圧に変換して出力するDC-DCコンバータにおいて、前記半導体素子の一方の出力端子に前記直流電源が接続され、前記半導体素子の他方の出力端子に出力されるパルス電圧の波高値を変化させることによって出力する電圧を安定に制御するようにしたことを特徴とする。

#### 【0011】

【発明の実施の形態】本発明のDC-DCコンバータの第1の実施の形態について、図1、図3および図4を参照して説明する。

【0012】図1は、この第1の実施の形態の基本的な構成を示すブロック図である。図1において、1は直流電源、2はPチャネルパワーMOSFET、3は環流ダイオード、4は直流リアクトル、5は平滑コンデンサ、6は負荷、7は出力フィードバック回路、9はスイッチング制御回路、10a、10bは一定値出力手段、11は増幅器、12a、12bは切換スイッチ、13は乗算器、14は駆動回路、51は負荷電流検出器、52は制御特性制御回路、71は基準電圧、72は減算器、73は誤差増幅器、91は三角波発生手段、92は比較器、93はリミッタである。

【0013】直流電源1は、バッテリーをエネルギー源として直流電圧を発生する。PチャネルパワーMOSFET2は、スイッチング動作または抵抗器として機能して直流電源1から出力された直流電圧を降下させる。環流ダイオード3と直流リアクトル4と平滑コンデンサ5は、PチャネルパワーMOSFET2から出力される電圧を平滑する。出力フィードバック回路7は、出力（負荷6に印加）する直流電圧と基準電圧を比較して誤差電圧信号を出力する。スイッチング制御回路9は、誤差電圧信号に応じてPチャネルパワーMOSFET2をPWM制御するためのパルス列信号を発生する。一定値出力手段10a、10bと増幅器11は、PAM制御およびニアレギュレータ制御のための波高値制御信号を出力する。制御特性制御回路52は、負荷状態に応じてPWM制御とPAMスイッチ制御とニアレギュレータ制御を選択的に切り換える。

【0014】このような制御機能を実現するために、直流電源1の正極は、PチャネルパワーMOSFET2のソースに接続する。PチャネルパワーMOSFET2のドレインは、直流リアクトル4の一方の端子と環流ダイオード3のカソードに接続する。直流リアクトル4の他方の端子は、平滑コンデンサ5の正極に接続する。平滑

コンデンサ5の負極と環流ダイオード3のアノードと直流電源1の負極は、共通に接続する。平滑コンデンサ5の両端に負荷6を接続する。

【0015】平滑コンデンサ5（負荷6）の正極の電圧は、出力フィードバック回路7の内部にある減算器72の－入力端子に入力する。基準電圧71は、減算器72の＋入力端子に入力する。減算器72の出力は、誤差増幅器73に入力し、この誤差増幅器73の出力は、出力フィードバック回路7の誤差信号出力として前記スイッチング制御回路9の内部にあるリミッタ93の入力すると共に増幅器11に入力する。

【0016】リミッタ93の出力と三角波発生手段91の出力は、比較器92の入力端子に入力する。比較器92の出力は、スイッチング制御回路9の外部にある切換スイッチ12aのA接点に入力する。この切換スイッチ12aのB接点には、一定値出力手段10aの出力を入力する。増幅器11の出力は、切換スイッチ12bのA接点に入力する。切換スイッチ12bのB接点には、一定値出力手段10bの出力を入力する。切換スイッチ12aの出力と切換スイッチ12bの出力は、乗算器13に入力する。乗算器13の出力は、駆動回路14に入力する。駆動回路14の出力は、PチャネルパワーMOSFET2のゲートとソースにそれぞれ入力する。

【0017】制御特性制御回路52は、負荷電流検出器51から負荷電流検出信号を入力して負荷状態を判別し、判別結果に従って切換スイッチ12a、12bの接点を切り換え制御する。

【0018】図2は、この実施の形態における切換スイッチの位置と制御方式と各部の電圧および電流波形を示している。また、図3は、この実施の形態における負荷率とVDパルス幅およびVDパルスの波高値の関係を示している。

【0019】ここで、この実施の形態の動作を説明する。

【0020】まず、出力電流が定格電流付近であり、負荷率が100%に近い定格負荷領域にあるときには、制御特性制御装置52は、切換スイッチ12aはA接点に接続し、切換スイッチ12bはB接点に接続することにより、PWM（パルス幅変調方式）制御によって出力電圧を一定に制御する。

【0021】この定格負荷領域において、出力フィードバック回路7は、平滑コンデンサ5の両端の電圧である出力電圧 $V_{out}$ を入力し、基準電圧71との差電圧を減算器72から出力する。誤差増幅器73は、この誤差電圧を増幅して誤差電圧信号として出力する。この誤差電圧信号は、スイッチング制御回路9内のリミッタ93に入力する。このリミッタ93は、PWM制御における最大時比率と最小時比率を規定するものである。入力した誤差電圧は、リミッタ93を通して比較器92によって三角波発生手段91の出力信号と比較し、比較器92

からパルス列信号として出力する。

【0022】定格負荷領域において、制御特性制御回路52は、切換スイッチ12aのA接点を接続状態に制御するために、比較器92から出力したパルス列信号は切換スイッチ12aを介して乗算器13に入力する。また、切換スイッチ12bのB接点を接続状態に制御するために、一定値出力手段10bの出力である一定値が切換スイッチ12bを介して乗算器13に入力する。そこで、乗算器13は、一定値とパルス列信号の乗算を行い、波高値が一定のパルス列を出力する。このパルス列は、駆動回路14に入力して、図2のPWM制御の欄に示すようなゲート・ソース間電圧VGSを出力し、PチャネルパワーMOSFET2のゲート・ソース間に印加する。このパルス列の波高値は、PチャネルパワーMOSFET2のスレッシュホールド電圧よりも充分に大きく、これによりPチャネルパワーMOSFET2はON/OFFスイッチング動作する。

【0023】PチャネルパワーMOSFET2は、ゲート・ソース間電圧が印加されると、オンしてドレイン・ソース間電圧（電圧降下）を略0Vにする。このとき、直流電源1と直流リアクトル4、平滑コンデンサ5が直列接続状態となり、直流リアクトル4に電流ILが流れて平滑コンデンサ5を充電する。ダイオード3の端子間電圧は、入力電圧 $V_{in}$ と略等しくなる。PチャネルパワーMOSFET2は、ゲート・ソース間電圧が0になるとオフする。PチャネルパワーMOSFET2がオフすると該PチャネルパワーMOSFET2に流れていた電流はダイオード3に移り、PチャネルパワーMOSFET2のドレインの電圧は0Vからダイオードの順方向降下電圧だけ下がった負電圧になる。この結果として、ダイオード3の端子間には、図2のPWM制御の欄に示すような波形が発生する。直流リアクトル4と平滑コンデンサ5は、このダイオード3の電圧波形を平滑する。この制御系は、出力電圧 $V_{out}$ を一定に保ち、かつ出力（負荷）電流 $I_{out}$ を確保するように動作する。

【0024】このPWM制御においては、出力電流 $I_{out}$ が減少することにより負荷率が減少すると出力電圧 $V_{out}$ が上昇気味になることから、出力フィードバック回路7から出力する誤差電圧信号が減少し、これに伴ってPチャネルパワーMOSFET2のゲート・ソース間を駆動するパルス列信号のパルス幅が狭くなる。この結果、図3に示すように、ダイオード3の両端に現れるパルス電圧の幅であるVDパルス幅は負荷率の低下に伴って狭くなる。しかし、この定格負荷領域においては、VDパルスの波高値は一定である。

【0025】PWM制御においては、リミッタ93によりVDパルス幅の最小値である最小オンパルス幅を定め、負荷率が最小オンパルス幅付近にまで減少すると、以下に示すPAMスイッチ制御に切り換えて出力電圧の制御を行う。このPAMスイッチ制御への切り換え

は、制御特性制御回路52が負荷電流検出器51から入力する負荷電流検出信号に基づいて負荷状態を判別し、中間負荷領域となったときに切換スイッチ12aのA接点接続状態を維持したまま切換スイッチ12bをA接点接続状態に切り換えることにより実現する。

【0026】このようにすることにより、増幅器11の出力が乗算器13に入力して比較器92の出力であるパルス列と積算される。この結果、乗算器13の出力は、出力フィードバック回路7から出力される誤差電圧信号に応じてその波高値が変化する最小オンパルス幅のパルス列となる。

【0027】従って、駆動回路14の出力波形であるPチャネルパワーMOSFET2のゲート・ソース間電圧は、図2のPAMスイッチ制御の欄に示すような波形となる。この波形の波高値は、PWM制御におけるパルス列の波高値よりも低く、PチャネルパワーMOSFET2のスレッシュホールド電圧に近い。PチャネルパワーMOSFET2は、ゲート・ソース間にスレッシュホールド電圧に近い電圧が印加されると、PWM制御においてオンする場合にくらべて非常に大きなオン抵抗を持って電圧を降下させるために、ダイオード3の端子間電圧VDは、図2のPAMスイッチ制御の欄に示す波形のように、入力電圧Vinよりも低い値となる。PチャネルパワーMOSFET2のオフ時は、PWM制御と同様に、VDは0Vからダイオード3の順方向降下電圧だけ下がった負電圧になる。この点がPWM制御の場合と異なる点である。

【0028】直流リアクトル4と平滑コンデンサ5は、このダイオード3の電圧波形VDを平滑する。このように、PAMスイッチ制御系は、出力電流Ioutを確保し、出力電圧Voutを一定に保つように、PチャネルパワーMOSFET2のゲート電圧の波高値を調整することにより、ダイオード3に印加されるVDパルスの波高値を制御する。このPAMスイッチ制御を行う中間負荷領域では、図3に示すように、VDパルスのパルス幅は略一定であり、負荷率に応じてVDパルスの波高値が変化する。

【0029】PAMスイッチ制御において、負荷率が更に減少すると、出力フィードバック回路7から出力する誤差電圧信号が更に減少し、これに伴ってPチャネルパワーMOSFET2のゲート・ソース間を駆動するパルス列のパルス波高値が低くなる。負荷率が所定の値以下に減少した軽負荷領域においては、リニアレギュレータ制御に切り換えて出力電圧の制御を行う。

【0030】PAMスイッチ制御からリニアレギュレータ制御への切り換えは、図3に記載したように、切換スイッチ12bをA接点接続状態に維持しつつ切換スイッチ12aをB接点に切り換えることで実現する。この接点切り換えは、制御特性制御回路52が負荷電流検出器51からの負荷電流検出信号に基づいて軽負荷領域に入

ったときに行う。

【0031】このリニアレギュレータ制御では、比較器92の出力であるパルス列は乗算器13に入力せず、その代わりに、一定値出力手段10aの出力である一定値を乗算器13に入力する。一方、出力フィードバック回路7から出力する誤差電圧信号は、増幅器11、切換スイッチ12bのA接点を介して乗算器13に入力する。この結果、乗算器13の出力は、出力フィードバック回路7から出力する誤差電圧信号に応じて変化する連続した電圧レベルとなる。

【0032】これにより、駆動回路14の出力であるPチャネルパワーMOSFET2のゲート・ソース間電圧は、図2のリニアレギュレータ制御の欄に示した波形となる。この波形の波高値も、PAMスイッチ制御の場合の波高値と同様に、PWM制御のパルス列の波高値よりも低く、PチャネルパワーMOSFET2のスレッシュホールド電圧に近い。PチャネルパワーMOSFET2は、ゲート・ソース間にスレッシュホールド電圧に近い電圧を印加すると、PWM制御においてオンする場合にくらべて非常に大きなオン抵抗を持つために電圧降下が発生し、ダイオード3の端子間電圧VDは、図2のリニアレギュレータ制御の欄に示す波形のように、入力電圧Vinよりも低い、連続した値となる。

【0033】リニアレギュレータ制御では、このように、PチャネルパワーMOSFET2のゲート・ソース間に連続してスレッシュホールド電圧に近い電圧を印加し、この電圧を制御することにより、PチャネルMOSFETのオン抵抗値を連続的に制御することにより、出力電圧Voutを一定値に制御する。ダイオード3は、常に逆バイアスとなり、直流リアクトル4には平滑な電流が流れる。

【0034】なお、この実施の形態において、PチャネルパワーMOSFET2は、バイポーラトランジスタに置換することも可能である。また、リニアレギュレータ制御を実施せず、負荷率が0から100%の範囲をPWM制御とPAMスイッチ制御の切り換えのみで対応することも可能である。この場合には、切換スイッチ12aと一定値出力手段10aは不要となる。

【0035】次に、本発明の第2の実施の形態について、図4、図5および図6を参照して説明する。図1に示した第1の実施の形態と同じ機能の部品、回路および手段には同一参照符号を付与して重複する説明を省略する。この実施の形態は、中間負荷領域を2つの領域（中間高負荷領域と中間低負荷領域）に区分し、中間高負荷領域ではPFM制御による電圧制御を実行し、中間低負荷領域ではPAMスイッチ制御による電圧制御を実行する構成である。

【0036】図4において、8a、8bはNチャネルパワーMOSFET、12cは切換スイッチ、15a、15bは駆動回路、16はNOT回路、94はリミッタで



ある。そして、制御特性制御回路52は、負荷状態に応じてPWM制御とPFM制御とPAMスイッチ制御とリニアレギュレータ制御を選択的に実行するように切換スイッチ12a、12b、12cの接点接続状態を制御する。

【0037】NチャネルパワーMOSFET8aのドレインは直流電源1の正極に接続し、ソースはNチャネルパワーMOSFET8bのドレインと直流リアクトル4に接続する。駆動回路15aの出力は、NチャネルパワーMOSFET8aのゲートおよびソースに供給するように接続する。また、NチャネルパワーMOSFET8bのソースは、直流電源1の負極と平滑コンデンサ5の負極に接続する。駆動回路15bの出力は、NチャネルパワーMOSFET8bのゲートおよびソースに供給するように接続する。

【0038】出力フィードバック回路7から出力する誤差電圧信号は、リミッタ94を介して三角波出力手段91に入力する。この実施の形態における三角波出力手段91は、出力する三角波の周波数を入力電圧に応じて変化させるように構成する。

【0039】比較器92の出力は、NOT回路16を介して切換スイッチ12cのB接点に入力する。切換スイッチ12cのA接点は、直流電源1の負極に接続する。また、負荷6からの指令信号線を出力フィードバック回路7に接続する。

【0040】図5は、この第2の実施の形態における切換スイッチの位置と制御方式と各部の電圧および電流波形である。また、図6は、この第2の実施の形態におけるVDSパルス幅、パルス周波数およびパルス波高値と負荷率の関係を示している。

【0041】次に、この実施の形態の動作を説明する。

【0042】この第2の実施の形態において、制御特性制御回路52は、切換スイッチ12cを常に切換スイッチ12bと同じ接点接続状態に制御する。また、PWM制御、PAMスイッチ制御およびリニアレギュレータ制御の動作は概ね第1の実施の形態と同じである。

【0043】この第2の実施の形態において、負荷率が100%付近にある定格負荷領域における電圧制御は、図5および図6に示すように、PWM制御である。このPWM制御において、切換スイッチ12aはA接点に接続し、切換スイッチ12bおよび12cはB接点に接続するように制御する。

【0044】平滑コンデンサ5の両端の電圧である出力電圧 $V_{out}$ は、出力フィードバック回路7に入力し、基準電圧71との差を減算器72から出力する。この誤差電圧は、誤差増幅器73で増幅して出力フィードバック回路7から誤差電圧信号として出力する。この誤差電圧信号は、スイッチング制御回路9内のリミッタ93に入力する。リミッタ93は、PWM制御の最大時比率と最小時比率を規定するものである。リミッタ93を通

て誤差電圧信号は、比較器92に入力する。誤差電圧信号は、リミッタ94にも入力する。このリミッタ94を通った誤差電圧信号は、三角波発生手段91に入力して該三角波発生手段91から発生する三角波の周波数を変化させる。PWM制御の領域では、リミッタ94の出力は一定であり、三角波発生手段91から発生する三角波の周波数は一定で、しかも最大である。

【0045】リミッタ93の出力は、比較器92によって三角波発生手段91の出力と比較することにより該比較器92からパルス列として出力する。切換スイッチ12aはA接点に接続状態であるために、比較器92から出力したパルス列は、切換スイッチ12aを介して乗算器13に入力する。切換スイッチ12bはB接点に接続状態であるために、一定値出力手段10bの出力である一定値が切換スイッチ12bを介して乗算器13に入力する。乗算器13は、一定値とパルス列の乗算を行い、この結果、波高値が一定のパルス列を出力する。このパルス列は、駆動回路15aに入力し、図5のPWM制御の欄に示すようなゲート・ソース間電圧パルス $V_{Ga}$ を出力してNチャネルパワーMOSFET8aのゲート・ソース間に印加する。このパルス列の波高値は、NチャネルパワーMOSFET8aのスレッシュホールド電圧よりも充分に大きく、これによりNチャネルパワーMOSFET8aは、ON/OFFスイッチング動作する。

【0046】一方、比較器92の出力は、NOT回路16を介して切換スイッチ12cのB接点に入力する。PWM制御の領域において、切換スイッチ12cはB接点に接続状態にあるので、比較器92のパルス列を反転した信号が駆動回路15bに入力し、図5のPWM制御の欄に示すようなゲート・ソース間電圧パルス $V_{Gb}$ を出力してNチャネルMOSFET8bのゲート・ソース間に印加して該NチャネルMOSFET8bをON/OFFスイッチング動作させる。

【0047】NチャネルパワーMOSFET8aがゲート・ソース間電圧の印加によりオンし、NチャネルパワーMOSFET8bがオフすると、直流電源1と直流リアクトル4と平滑コンデンサ5が直列接続状態となり、直流リアクトル4に電流 $I_L$ が流れて平滑コンデンサ5を充電する。NチャネルパワーMOSFET8bの端子間電圧 $V_{DS}$ は、入力電圧 $V_{in}$ と略等しくなる。

【0048】NチャネルパワーMOSFET8aのゲート・ソース間電圧が0になったときに該NチャネルパワーMOSFET8aがオフするが、同時に、NチャネルパワーMOSFET8bが相補動作してオンする。これにより、直流リアクトル4に流れていた電流 $I_L$ はNチャネルパワーMOSFET8bのソースからドレイン方向に流れる同期整流が行われる。NチャネルパワーMOSFET8bのドレインの電圧 $V_{DS}$ は、0VからNチャネルパワーMOSFET8bのオン電圧分、すなわちオン抵抗と通流電流の積だけ下がった負電圧になる。こ

の結果として、NチャネルパワーMOSFET 8bの端子間電圧VDSには、図5のPWM制御の欄に示すような波形が発生する。直流リアクトル4と平滑コンデンサ5は、このNチャネルパワーMOSFET 8bの電圧波形VDSを平滑する。この制御系は、出力電圧Voutを一定に保ち、かつ出力電流Ioutを確保するように動作する。

【0049】このPWM制御において、負荷率が減少すると、出力フィードバック回路7から出力する誤差電圧信号が減少し、これに伴ってNチャネルパワーMOSFET 8aのゲート・ソース間を駆動するパルス列のパルス幅が狭くなる。しかし、リミッタ93によってパルス幅の最小値である最小オンパルス幅が定められており、負荷率が所定の値以下に減少して中間高負荷領域に入り、NチャネルMOSFET 8aのゲートパルス幅が所定の値付近にまで狭くなると、以下に述べるPFM（パルス周波数変調方式）制御に切り換わる。このとき、切換スイッチ12a、12b、12cの接点接続状態は変化しない。

【0050】PFM制御では、回路の動作はPWM制御と略同じである。但し、NチャネルパワーMOSFET 8bの端子間電圧VDSのパルス幅は一定となり、この端子間電圧VDSのパルスの間隔であるVDSパルス周波数が変化する。負荷率の変化により出力フィードバック回路7の誤差電圧信号が変化する。この誤差電圧信号がリミッタ94を介して三角波発生手段91に入力することにより、三角波発生手段91から出力する三角波の周波数が変化する。具体的には、図6に示すように、負荷率が低下するに従ってVDSパルス周波数が低下する。なお、リミッタ94は、PFM制御領域以外においては三角波発生手段91に入力する誤差電圧信号を一定にしてVDSパルス周波数を変化させないように動作する。このときのVDSパルス周波数は、20kHz以上とすることが望ましい。

【0051】そして、VDSパルス周波数（負荷率）が所定の値（中間低負荷領域）まで低下すると、PAMスイッチ制御に切り換える。すなわち、切換スイッチ12aをA接点接続状態のままとし、切換スイッチ12b、12cをB接点からA接点に切り換える。これにより、増幅器11の出力が乗算器13に入力し、比較器92の出力であるパルス列と積算される。この結果、乗算器13の出力は、出力フィードバック回路7から出力する誤差電圧信号に応じてその波高値が変化する最小オンパルス幅のパルス列となる。

【0052】これにより、駆動回路15aの出力波形であるNチャネルパワーMOSFET 8aのゲート・ソース間電圧は、図5のPAMスイッチ制御の欄に示す波形となる。この波形の波高値は、PWM制御時およびPFM制御時のゲート電圧の波高値よりも低く、NチャネルパワーMOSFET 8aのスレッシュホールド電圧に近い電

圧である。NチャネルパワーMOSFET 8aのゲート・ソース間にスレッシュホールド電圧に近い電圧が印加されると、NチャネルパワーMOSFET 8aは、PWM制御やPFM制御においてオンする場合にくらべて非常に大きなオン抵抗を持つために、パワーMOSFET 8bの端子間電圧VDSは、図5のPAMスイッチ制御の欄に示す波形のように、入力電圧Vinよりも低い値となる。

【0053】切換スイッチ12cは、A接点に接続状態であるために、NチャネルパワーMOSFET 8bはオフ状態である。従って、NチャネルパワーMOSFET 8aのオフ時の端子電圧波形VDSは、0VからパワーMOSFET 8bの内部寄生ダイオードの順方向降下電圧分だけ下がった負電圧になる。直流リアクトル4と平滑コンデンサ5は、電圧波形VDSを平滑する。

【0054】このように、PAMスイッチ制御系は、出力電流Ioutを確保し、出力電圧Voutを一定に保つようにNチャネルパワーMOSFET 8aのゲート電圧の波高値を制御することにより、パワーMOSFET 8bに印加されるVDSパルスの波高値を制御する。PAMスイッチ制御の領域では、図6に示すように、電圧波形VDSのパルス幅と周波数は一定であり、負荷率に応じてVDSパルス波高値が変化する。

【0055】このPAMスイッチ制御において、負荷率が更に減少すると、出力フィードバック回路7から出力する誤差電圧信号が減少し、これに伴ってNチャネルパワーMOSFET 8aのゲート・ソース間を駆動するパルス列のパルス波高値が更に低くなる。この実施の形態においては、負荷率が所定の値以下に減少した軽負荷領域に入るとリニアレギュレータ制御に切り換えて出力制御を行う。

【0056】PAMスイッチ制御からリニアレギュレータ制御への切り換えは、図5に示すように、切換スイッチ12b、12cをA接点接続状態に維持しつつ切換スイッチ12aをB接点に切り換えることで実現する。このように切り換えることで、図4において、比較器92の出力であるパルス列は乗算器13に入力されず、その代わりに一定値出力手段10aの出力である一定値が乗算器13に入力する。一方、出力フィードバック回路7から出力する誤差電圧信号は、増幅器11、切換スイッチ12bのA接点を介して乗算器13に入力する。

【0057】その結果、乗算器13の出力は、出力フィードバック回路7から出力する誤差電圧信号に応じて変化する連続した電圧レベルとなる。従って、駆動回路15aの出力であるNチャネルパワーMOSFET 8aのゲート・ソース間電圧VGは、図5のリニアレギュレータ制御の欄に示した波形となる。このゲート・ソース間電圧VGの波高値もPAMスイッチ制御の場合の波高値と同様に、PWM制御やPFM制御におけるゲート・ソース間電圧VGの波高値よりも低く、Nチャネルパワー

MOSFET 8aのスレッシュホールド電圧に近い。NチャネルパワーMOSFET 8aのゲート・ソース間にスレッシュホールド電圧に近い電圧が印加されると、NチャネルパワーMOSFET 8aはPWM制御においてオンする場合に比べて非常に大きなオン抵抗を持つために、NチャネルパワーMOSFET 8bの端子間電圧VDSは、図5のリニアレギュレータ制御の欄に示す波形のように、入力電圧Vinよりも低い、連続した値となる。

【0058】このように、リニアレギュレータ制御では、NチャネルパワーMOSFET 8aのゲート・ソース間に連続してスレッシュホールド電圧に近い電圧を印加し、この電圧を調整することにより、NチャネルMOSFET 8aのオン抵抗を連続的に制御する。一方、切換スイッチ12cはA接点に接続されるために、NチャネルパワーMOSFET 8bは常にオフ状態である。直流リアクトル4には平滑な電流が流れる。

【0059】この実施の形態において、負荷6はマイクロコンピュータを含む装置であり、出力フィードバック回路7に対して指令信号を出力する。この指令信号により、出力フィードバック回路7は、基準電圧71を変更し、DC-DCコンバータの出力電圧を変更する。

【0060】なお、この実施の形態において、NチャネルパワーMOSFET 8a、8bに代えてバイポーラトランジスタなどのような他の自己消弧型半導体素子を用いることも可能である。また、NチャネルパワーMOSFET 8bと並列にドレイン側がカソード極となる向きにダイオードを接続してもよい。

【0061】また、リニアレギュレータ制御を実行せず、負荷率が0から100%の範囲を、PWM制御、PFM制御およびPAMスイッチ制御の切換のみで対応することも可能である。この場合には、切換スイッチ12aと一定値出力手段10aが不要となる。

【0062】次に、本発明の第3の実施の形態について、図7および図8を参照して説明する。図7において、図1および図4に示した実施の形態と同じ機能の部品、回路および手段には、同一参照符号を付与して重複する説明を省略し、一部については、図示説明を省略する。

【0063】図7において、8cはNチャネルパワーMOSFETである。このNチャネルパワーMOSFET 8cは、ドレイン、ゲート、ソースともにNチャネルパワーMOSFET 8aと並列に接続する。その他の構成および動作は、前述した第2の実施の形態において説明した通りであるので、一部の回路についての図示説明を省略する。

【0064】図8は、NチャネルパワーMOSFET 8aおよびNチャネルパワーMOSFET 8cのゲート・ソース間電圧VGaと、ドレイン・ソース間のオン抵抗Rds(on)の関係を示した特性図である。2つのNチャネルパワーMOSFET 8a、8cは、この特性図

に示すような特性のものを使用する。

【0065】PWM制御時およびPFM制御時には、NチャネルパワーMOSFET 8aと8cのゲート・ソース間には図8に示す範囲のゲート・ソース間電圧VGaを波高値とするパルス列を印加する。このとき、NチャネルパワーMOSFET 8aのオン抵抗よりもNチャネルパワーMOSFET 8cのオン抵抗の方が大きいため、オン時に直流電源1から流れる電流は、主にNチャネルパワーMOSFET 8aの側を流れる。一方、PAMスイッチ制御およびリニアレギュレータ制御を行う際には、図8に示すように、PWM制御およびPFM制御で印加するよりも十分に低いゲート・ソース間電圧VGaを印加する。NチャネルパワーMOSFET 8aよりも8cのスレッシュホールド電圧が低いために、この領域においては、オン抵抗が逆転し、NチャネルパワーMOSFET 8cのオン抵抗がNチャネルパワーMOSFET 8aのオン抵抗よりも小さくなる。そして、出力制御は、NチャネルパワーMOSFET 8cに与えるゲート・ソース間電圧VGaの波高値を変え、NチャネルパワーMOSFET 8cのオン抵抗を変化させることによつて行う。

【0066】この実施の形態においては、2つの異なる特性を持つNチャネルパワーMOSFET 8a、8cを単純に並列接続する構成により、PWM制御およびPFM制御時には、オン抵抗の小さいNチャネルパワーMOSFET 8aによりオン損失を低減することができ、一方、PAMスイッチ制御およびシリーズレギュレータ制御においては、ゲート電圧を低下させるだけでオン抵抗の小さなNチャネルMOSFET 8aをオフ状態とさせ、スレッシュホールド電圧が低く、オン抵抗の大きなNチャネルパワーMOSFET 8cの特性を利用して出力制御を行うことが可能である。

【0067】次に、本発明の第4の実施の形態について、図9および図10を参照して説明する。図9において、図1、図4および図7に示した実施の形態と同じ機能の部品、回路および手段には同一の参照符号を付与して重複する説明は省略する。

【0068】図9において、10cは一定値出力手段、12d、12eは切換スイッチ、30a、30b、30cはPチャネルパワーMOSFET、31a、31b、31c、31dはNチャネルパワーMOSFET、32a、32b、32c、32d、32eは抵抗、33はダイオード、34はPNPトランジスタ、35はコンデンサ、36は直流電圧源、37は可変電流源、38はNOT回路、39はスイッチである。

【0069】直流電源1の正極側は、NチャネルパワーMOSFET 8aのドレインに接続する。直流電源1の負極側は、可変電流源37、NチャネルパワーMOSFET 31dのソース、NチャネルパワーMOSFET 31cのソース、NチャネルパワーMOSFET 31bの

ソース、駆動回路15b、NチャネルパワーMOSFET8bのソース、平滑コンデンサ5の負極側および負荷6の一端に接続する。

【0070】直流電圧源36の正極側には、抵抗32e、PNPトランジスタ34のエミッタ、抵抗32c、抵抗32a、PチャネルパワーMOSFET30aのソース、PチャネルパワーMOSFET30bのソースをそれぞれ接続する。直流電圧源36の負極側は、コンデンサ35、抵抗32b、NチャネルパワーMOSFET31aのソース、NチャネルパワーMOSFET8aのソース、直流リアクトル4、NチャネルパワーMOSFET8bのドレインにそれぞれ接続する。

【0071】抵抗32eのもう一方は、PNPトランジスタ34のベースと可変電圧源37に接続する。PNPトランジスタ34のコレクタは、コンデンサ35のもう一方と、抵抗32dと、PチャネルパワーMOSFET30cのソースと接続する。抵抗32dのもう片方は、PチャネルパワーMOSFET30cのゲートとNチャネルパワーMOSFET31dのドレインに接続する。PチャネルパワーMOSFET30cのドレインは、ダイオード33のアノードに接続する。ダイオード33のカソードは、NチャネルパワーMOSFET8aのゲートと、PチャネルパワーMOSFET30aのドレインおよびNチャネルパワーMOSFET31aのドレインに接続する。抵抗32cのもう片方は、PチャネルパワーMOSFET30bのゲートと、NチャネルパワーMOSFET31cのドレインに接続する。PチャネルパワーMOSFET30bのドレインは、抵抗32bのもう片方と、NチャネルパワーMOSFET31aのゲートに接続する。抵抗32aのもう片方は、PチャネルパワーMOSFET30aのゲートと、NチャネルパワーMOSFET31bのドレインに接続する。直流リアクトル4のもう片方は、平滑コンデンサ5の正極側と、負荷6および出力フィードバック回路7に接続する。

【0072】出力フィードバック回路7から出力する誤差電圧信号は、スイッチング制御回路9と増幅器11に入力する。スイッチング制御回路9の出力は、切換スイッチ12dのA接点に入力する。切換スイッチ12dのB接点には一定値出力手段10cを入力し、切換スイッチ12dの出力はNOT回路38と切換スイッチ12eに入力する。NOT回路38の出力は、NチャネルパワーMOSFET31cのゲートと駆動回路15bに入力する。切換スイッチ12eのA接点は、NチャネルパワーMOSFET31bのゲートに接続する。切換スイッチ12eのB接点は、NチャネルパワーMOSFET31dのゲートに接続する。増幅器11の出力は、スイッチ39を介して可変電圧源37に入力する。

【0073】切換スイッチ12e、12dおよびスイッチ39は、制御特性制御回路52によって制御する。

【0074】次に、動作を説明する。この実施の形態に

おいても、第2の実施の形態と同様に、負荷率に応じてPWM制御、PFM制御、PAMスイッチ制御およびリアレギュレータ制御の切り換えを行う。各制御方式における切換スイッチ12d、12eおよびスイッチ39の位置は、図10に示す通りである。

【0075】まず、PWM制御においては、切換スイッチ12d、12eは、ともにA接点接続状態とし、スイッチ39はオフ状態とする。このとき、スイッチング制御回路9は、PWMパルスを出力してNチャネルパワーMOSFET31bのゲートを駆動する。NチャネルパワーMOSFET31bがオンすると、電流が流れて抵抗32aに電圧降下が生じることによって、PチャネルパワーMOSFET30aがオンする。NチャネルパワーMOSFET31bがオフすると、抵抗32aの電圧降下はなくなり、PチャネルパワーMOSFET30aもオフする。

【0076】スイッチング制御回路9の出力であるPWMパルスは、NOT回路38により反転し、NチャネルパワーMOSFET31cおよび駆動回路15bを介してNチャネルパワーMOSFET8bを駆動する。NチャネルパワーMOSFET31cがオンすると、抵抗32cに電圧降下が発生することによってPチャネルパワーMOSFET30bがオンし、抵抗32bに電圧降下が生じることによってNチャネルパワーMOSFET31aがオンする。NチャネルパワーMOSFET31cがオフすると、抵抗32cの電圧降下がなくなり、PチャネルパワーMOSFET30bはオフ、NチャネルパワーMOSFET31aもオフとなる。

【0077】ゆえに、スイッチング制御回路9の出力がハイ(H)レベルであるときにはPチャネルパワーMOSFET30aがオン、且つNチャネルパワーMOSFET31aがオフとなるために、NチャネルパワーMOSFET8aがオン、NチャネルパワーMOSFET8bはオフとなる。反対に、スイッチング制御回路9の出力がロー(L)レベルであるときには、NチャネルパワーMOSFET8bがオン、PチャネルパワーMOSFET30aがオフ、NチャネルパワーMOSFET31aがオンとなり、NチャネルパワーMOSFET8aはオフする。この結果、NチャネルパワーMOSFET8aとNチャネルパワーMOSFET8bが相補動作となって出力電圧を一定に制御する。

【0078】次に、PFM制御について説明する。PFM制御においても、切換スイッチ12d、12eおよびスイッチ39の位置はPWM制御と同じであり、前述したようにスイッチング制御回路9の出力パルスに従ってNチャネルパワーMOSFET8aとNチャネルパワーMOSFET8bが相補動作して出力を一定に制御する。PWM制御との違いは、パルス幅が一定で、パルスの周波数が変化することである。

【0079】次に、PAMスイッチ制御について説明す

る。PAMスイッチ制御においては、切換スイッチ12eをB接点に切り換え、スイッチ39をオンにする。このスイッチ操作により、PWM制御およびPFM制御のときにスイッチングしていたPチャネルパワーMOSFET30aはオフとなり、その代わりに、NチャネルパワーMOSFET31dがパルス制御されてPチャネルパワーMOSFET30cがスイッチングすることになる。また、増幅器11の出力が可変電流源37に輸入され、PNPトランジスタのベース電流を制御する。この結果、コンデンサ35には、直流電圧源36よりも低く、出力フィードバック回路7から出力する誤差電圧信号に応じた電圧が発生する。

【0080】この結果、PチャネルパワーMOSFET30cがオンしたときにはコンデンサ35の電圧がNチャネルパワーMOSFET8aのゲートに印加する。コンデンサ35の電圧は、NチャネルパワーMOSFET8aのスレッシュホールド電圧に近いために、NチャネルパワーMOSFET8aは非常に大きなオン抵抗をもってオンする。一方、PチャネルパワーMOSFET30cがオフしたときには、NチャネルパワーMOSFET31aがオンすることによってNチャネルパワーMOSFET8aのゲートは0となって完全にオフする。この結果、NチャネルパワーMOSFET8bの端子間に発生するパルス電圧の波高値は、直流電圧源1の波高値よりも低くなり、これにより出力電圧Voutを制御することができるようになる。

【0081】次に、リニアレギュレータ制御について説明する。リニアレギュレータ制御の場合には、切換スイッチ12dをB接点に切り換える。このように切り換えることにより、NチャネルパワーMOSFET31dがオンし、PチャネルパワーMOSFET30cがオンし、NチャネルパワーMOSFET31c、31b、31a、8bがオフし、PチャネルパワーMOSFET30aがオフとなる。このために、コンデンサ35の電圧がPチャネルパワーMOSFET30cとダイオード33を介してNチャネルパワーMOSFET8aに印加されてゲート電圧を制御することによって、NチャネルパワーMOSFETのオン抵抗が変化し、出力電圧Voutを制御することが可能となる。なお、この第4の実施の形態においても、各制御の切り換えは、制御特性制御回路52が負荷率に応じて行うことになる。

【0082】次に、本発明の第5の実施の形態について、図11、図12および図13を参照して説明する。図11において、図1、図4、図7および図9と同じ機能の部品、回路および手段には同一の参照符号を付与して重複する説明を省略する。

【0083】図11において、40はスイッチ、41、42は遅延回路である。直流電圧源1の正極側は、NチャネルパワーMOSFET8aのドレインに接続する。直流電圧源1の負極側は、可変電流源37、Nチャネルパワ

ーMOSFET31dのソース、NチャネルパワーMOSFET31cのソース、NチャネルパワーMOSFET31bのソース、駆動回路15b、NチャネルパワーMOSFET8bのソース、平滑コンデンサ5の負極側および負荷6の一端に接続する。

【0084】直流電圧源36の正極側には、抵抗32e、PNPトランジスタ34のエミッタ、抵抗32c、抵抗32a、PチャネルパワーMOSFET30aのソース、PチャネルパワーMOSFET30bのソースをそれぞれ接続し、負極側には、コンデンサ35、抵抗32b、NチャネルパワーMOSFET31aのソース、NチャネルパワーMOSFET8aのソース、直流リアクトル4、NチャネルパワーMOSFET8bのドレインをそれぞれ接続する。抵抗32eのもう一方は、PNPトランジスタ34のベースと可変電流源37に接続する。PNPトランジスタ34のコレクタは、コンデンサ35の一方と、抵抗32dと、PチャネルパワーMOSFET30cのソースに接続する。抵抗32dのもう一方は、PチャネルパワーMOSFET30cのゲートとNチャネルパワーMOSFET31dのドレインに接続する。PチャネルパワーMOSFET30cのドレインは、ダイオード33のアノードに接続する。

【0085】ダイオード33のカソードは、NチャネルパワーMOSFET8aのゲートと、PチャネルパワーMOSFET30aのドレインおよびNチャネルパワーMOSFET31aのドレインに接続する。抵抗32cのもう一方は、PチャネルパワーMOSFET30bのゲートと、NチャネルパワーMOSFET31cのドレインに接続する。

【0086】PチャネルパワーMOSFET30bのドレインは、抵抗32bの片方と、NチャネルパワーMOSFET31aのゲートに接続する。抵抗32aのもう一方は、PチャネルパワーMOSFET30aのゲートと、NチャネルパワーMOSFET31bのドレインに接続する。直流リアクトル4のもう一方は、平滑コンデンサ5の正極側と、負荷および出力フィードバック回路7に接続する。

【0087】出力フィードバック回路7から出力する誤差電圧信号は、スイッチング制御回路9と増幅器11に輸入する。スイッチング制御回路9の出力は、切換スイッチ12dのA接点に輸入する。切換スイッチ12dのB接点には一定値出力手段10cの出力を入力し、切換スイッチ12dの出力は、スイッチ40と遅延回路42に輸入する。スイッチ40の出力は遅延回路41に輸入する。遅延回路41の出力は、NチャネルパワーMOSFET31bのゲートに輸入する。遅延回路42の出力は、NOT回路38と、NチャネルパワーMOSFET31dのゲートに輸入する。NOT回路38の出力は、NチャネルパワーMOSFET31cのゲートとNチャネルパワーMOSFET8bのゲートに輸入する。増幅

器11の出力は、可変電流源37に入力する。

【0088】図12は、この第5の実施の形態における各制御方式での切換スイッチ12dおよびスイッチ40の位置を示している。この切換スイッチ12dおよびスイッチ40の制御は、制御特性制御回路52によって行う。図13は、この第5の実施の形態におけるPWM制御およびPFM制御時の各部の波形図である。

【0089】この第5の実施の形態における動作は、前述した第4の実施の形態と略同じである。以下、異なる点について述べる。

【0090】PWM制御時およびPFM制御時において、スイッチング制御回路9の出力パルスは、図13に示す波形である。切換スイッチ12dは、図12に示すようにA接点に接続しており、スイッチ40はオン状態であるために、スイッチング制御回路9の出力パルスは、遅延回路41と遅延回路42に入力する。遅延回路41は、パルスの立ち上がり時に遅延特性を持ち、立下り時には遅延特性を持たない。このために、遅延回路41の出力パルスは、スイッチング制御回路9のパルスに対して立ち上がりが遅れた波形となる。NチャネルパワーMOSFET31bのゲートには、このパルスが印加される。

【0091】一方、遅延回路42は、パルスの立ち上がりは遅延特性を持たず、立下りに遅延特性を持つ。このために、NチャネルパワーMOSFET31dのゲートには、図13に示すような遅延回路42の波形が印加する。NチャネルパワーMOSFET31cとNチャネルパワーMOSFET8bのゲートには、遅延回路42の出力波形を反転させた波形が入力する。

【0092】この結果、NチャネルパワーMOSFET8aのゲートには、図示のように、ターンオン時とターンオフ時には低いゲート電圧となり、オン時には高いゲート電圧となる2段階の電圧を持つゲートパルス波形が印加する。NチャネルパワーMOSFET8aは、ターンオン時とターンオフ時にスレッシュホールド電圧付近の低いゲート電圧を印加することにより、大きなオン抵抗となる。このために、ターンオン時とターンオフ時のNチャネルパワーMOSFET8aの電流変化率( $di/dt$ )が抑制される。これにより、特にターンオフ時にNチャネルパワーMOSFET8aの端子間に発生する電圧の跳ね上がりが抑制されるために、デバイスに与える電圧ストレスを抑えることができる。また、これにより寄生振動を抑制することができ、負荷6に与えるスイッチングノイズを抑えることができる。

【0093】一方、NチャネルパワーMOSFET8aとNチャネルパワーMOSFET8bのスイッチング時には、双方のスイッチング素子がオンすると直流電源1が短絡されて過大な貫通電流が流れるが、これを防止するために、一般にデッドタイムを設ける。この実施の形態においては、仮りに直流電源1が短絡する期間が生じ

ても、NチャネルパワーMOSFET8aのオン抵抗が大きいために、過大な貫通電流は発生しない。このため、従来の回路よりもデッドタイムを狭くすることができ、あるいは省略することも可能である。デッドタイムの幅を狭くしたり省略することができることは、スイッチング周波数の高周波化やオン時比率の拡大が図れることから、制御性能が向上する。また、貫通電流によるパワーMOSFETの破壊を防止することができる。

【0094】貫通電流を防止することができ、また、スイッチング時の電圧の跳ね上がりを抑制することができることは、電源部から発生するノイズを低減させる効果を発揮する。このために、従来のDC-DCコンバータでは必要であったノイズ吸収用のフィルタ回路を小型化し、あるいは省略することができることになり、装置の小型化、少部品化、誤動作の防止に寄与する。

【0095】次に、本発明の第6の実施の形態について、図14を参照して説明する。図14は、負荷率と各制御方式の関係を示した図である。

【0096】この第6の実施の形態における制御方式は、図14に示すように、負荷率の大きい側からPWM制御、PFM制御、PAMスイッチ制御およびリアレギュレータ制御の4つにヒステリシス特性をもって切り換えるものである。回路構成および各制御における制御方法は、前述した各実施の形態と同様である。各制御間の矢印は、各制御への移行点を表している。

【0097】PWM制御からPFM制御への移行点の負荷率よりもPFM制御からPWM制御への移行点の負荷率を高くする。同様に、PFM制御からPAMスイッチ制御への移行点の負荷率よりもPAMスイッチ制御からPFM制御への負荷率を高くする。また、PAMスイッチ制御からリアレギュレータ制御への移行点の負荷率よりもリアレギュレータ制御からPAMスイッチ制御への移行点の負荷率を高くする。

【0098】このように制御方式を切り換えるポイントにヒステリシスを設けることにより、負荷率が移行点近傍で変動した場合に頻繁に制御方式が変わって出力が不安定になるのを防止することができる。

【0099】

【発明の効果】本発明は、携帯電話やモバイル機器などの携帯情報装置において、特に軽負荷域での電源の効率を向上させることが可能である。この結果、バッテリーで機器を動作させ得る時間を従来よりも長くすることができるというメリットがある。

【0100】また、従来ほどスイッチング周波数を下げずに出力電圧を制御することができるために、制御の高応答化、可聴音の発生防止、リップル電流の低減に伴う電解コンデンサの長寿命化などが図れる。

【0101】また、スイッチング時の貫通電流や電圧跳ね上がりを抑制することができるために、電源から発生するノイズによる携帯情報装置の誤動作を抑制すること

ができる。また、ノイズフィルタを省略あるいは小規模のものにすることができることから、機器の小形軽量化に寄与する。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態を示すDC-DCコンバータのブロック図である。

【図2】本発明の第1の実施の形態における切換スイッチの位置と制御方式および各部波形を示す図である

【図3】本発明の第1の実施の形態における負荷率とパルス幅、パルス波高値の関係を示す特性図である。

【図4】本発明の第2の実施の形態を示すDC-DCコンバータのブロック図である。

【図5】本発明の第2の実施の形態における切換スイッチの位置と制御方式および各部波形を示す図である。

【図6】本発明の第2の実施の形態における負荷率とパルス幅、パルス周波数およびパルス波高値の関係を示す特性図である。

【図7】本発明の第3の実施の形態を示すDC-DCコンバータのブロック図である。

【図8】本発明の第3の実施の形態に用いる2つのパワーMOSFETのゲート電圧とオン抵抗の関係を示す特性図である。

【図9】本発明の第4の実施の形態を示すDC-DCコンバータのブロック図である。

【図10】本発明の第4の実施の形態における切換スイッチの位置と制御方式の関係を示す図である。

【図11】本発明の第5の実施の形態を示すDC-DCコンバータのブロック図である。

【図12】本発明の第5の実施の形態における切換ス

witchの位置と制御方式の関係を示す図である。

【図13】本発明の第5の実施の形態におけるPWM制御およびPFM制御時の各部の波形を示す図である。

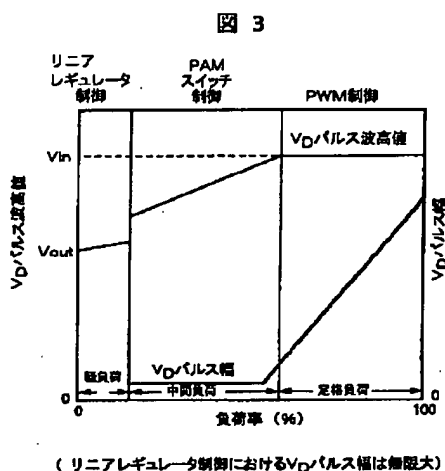
【図14】本発明の第6の実施の形態における負荷率と各制御方式への移行の関係を示す図である。

【図15】従来のDC-DCコンバータのブロック図である。

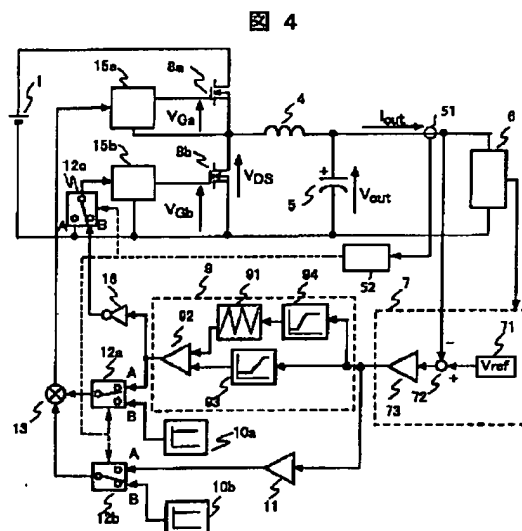
【符号の説明】

1…直流電源、2…PチャネルパワーMOSFET、3…環流ダイオード、4…直流利アクトル、5…平滑コンデンサ、6…負荷、7…出力フィードバック回路、8a, 8b, 8c…NチャネルパワーMOSFET、9…スイッチング制御回路、10a, 10b, 10c…一定値出力手段、11…増幅器、12a, 12b, 12c, 12d, 12e…切換スイッチ、13…は乗算器、14…駆動回路、15a, 15b…駆動回路、16…NOT回路、21…出力電圧フィードバック回路、22…PWM制御回路、23…切換スイッチ、30a, 30b, 30c…PチャネルパワーMOSFET、31a, 31b, 31c, 31d…NチャネルパワーMOSFET、32a, 32b, 32c, 32d, 32e…抵抗、33…ダイオード、34…PNPトランジスタ、35…コンデンサ、36…直流電圧源、37…可変電圧源、38…NOT回路、39…スイッチ、40…スイッチ、41, 42…遅延回路、51…負荷電流検出器、52…制御特性制御回路、71…基準電圧、72…減算器、73…誤差増幅器、91…三角波発生手段、92…比較器、93…リミッタ、94…リミッタ。

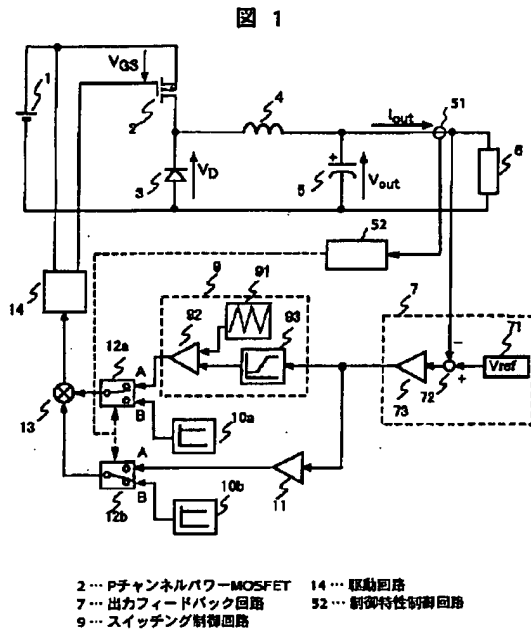
【図3】



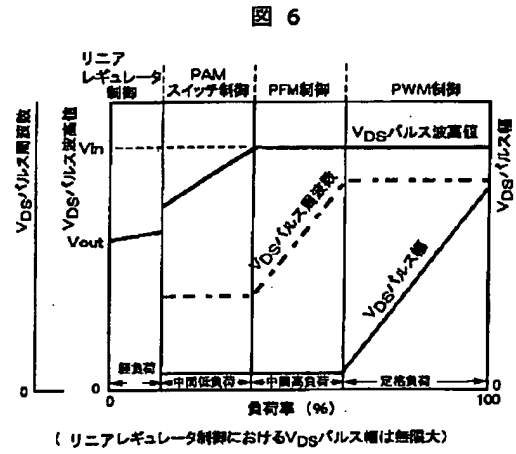
【図4】



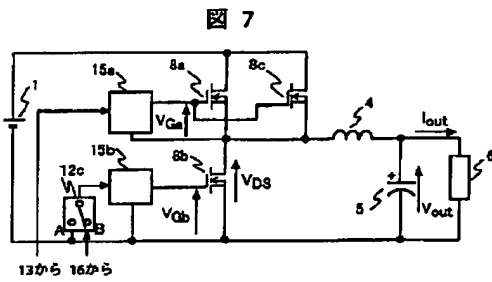
【図1】



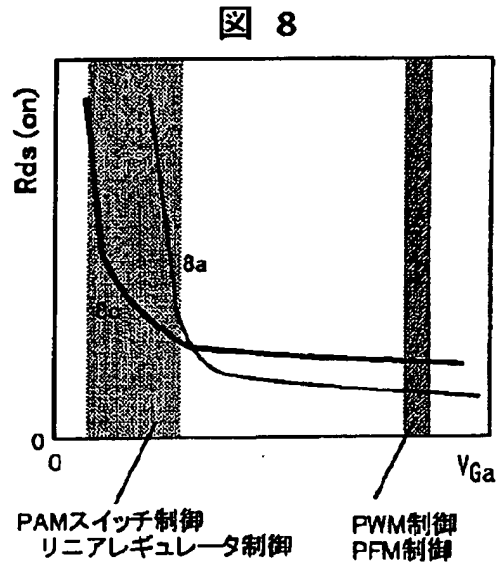
【図6】



【図7】



【図8】



【図10】

図 10

各制御方式における切換スイッチの位置

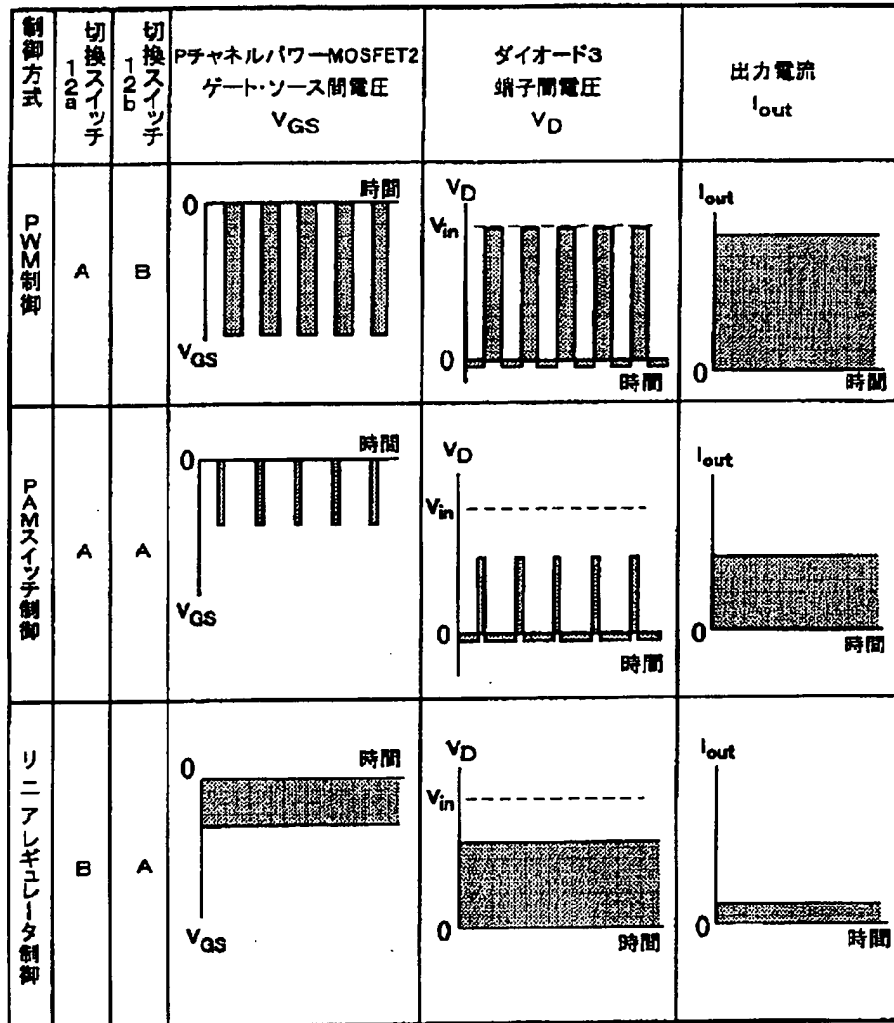
	切換スイッチ 12d	切換スイッチ 12e	スイッチ 39
PWM制御	A	A	OFF
PFM制御	A	A	OFF
PAMスイッチ制 御	A	B	ON
リニアレギュ レータ制御	B	B	ON



【図 2】

図 2

切換スイッチの位置と制御方式および各部波形



【図 12】

図 12

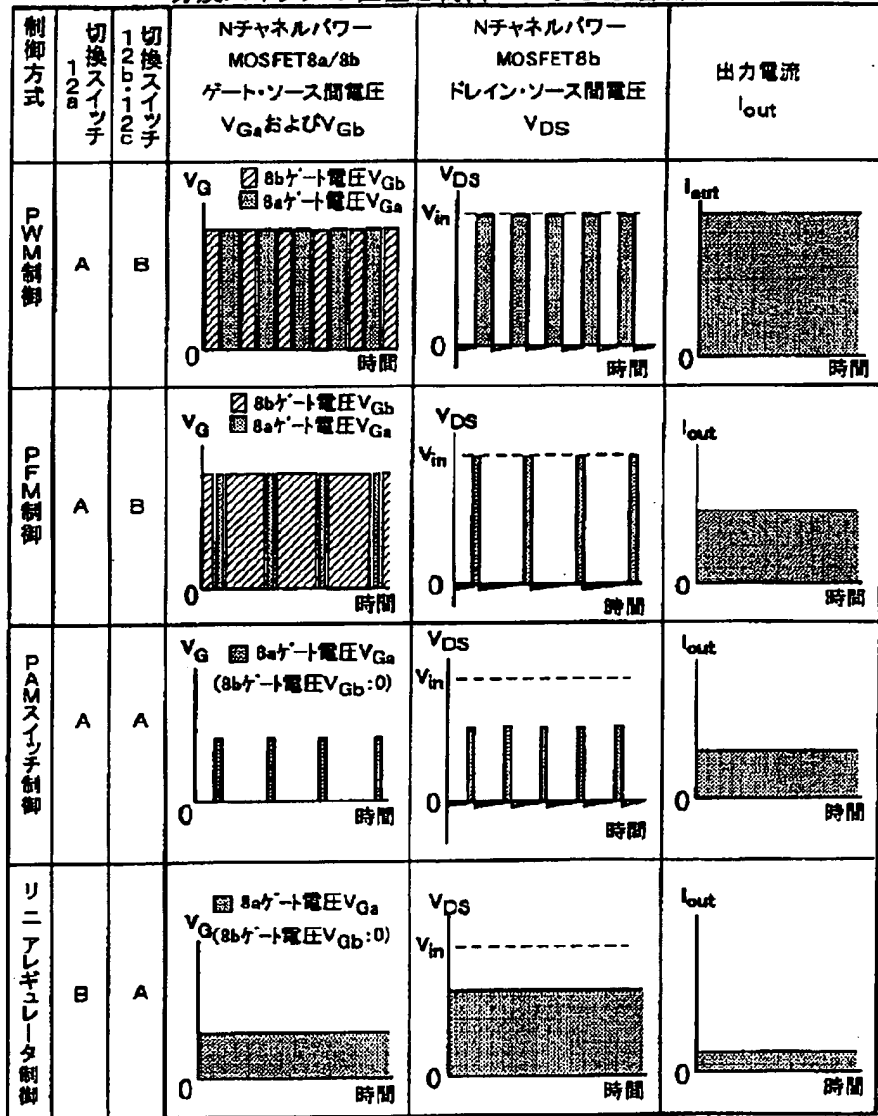
各制御方式における切換スイッチの位置

	切換スイッチ 12d	スイッチ 40
PWM制御	A	ON
PFM制御	A	ON
PAMスイッチ制御	A	OFF
リニアレギュレータ制御	B	OFF

【図5】

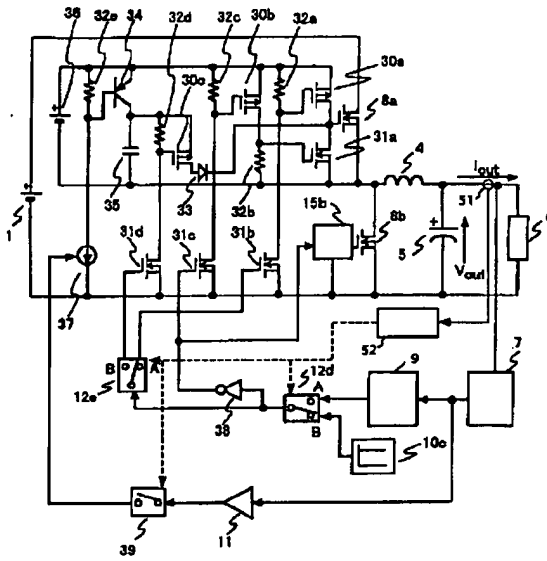
図 5

切換スイッチの位置と制御方式および各部波形



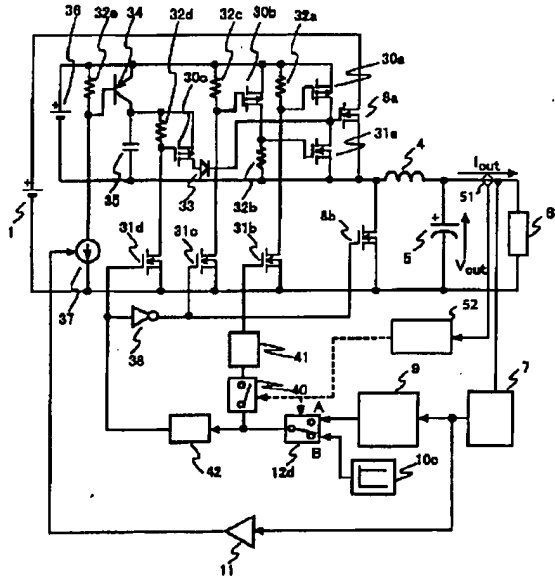
【図 9】

図 9



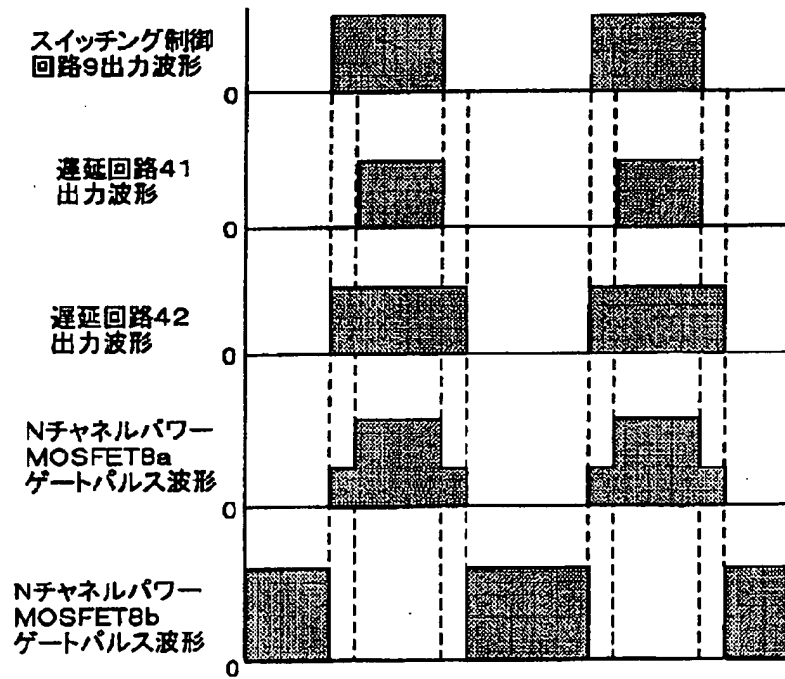
【図 11】

図 11



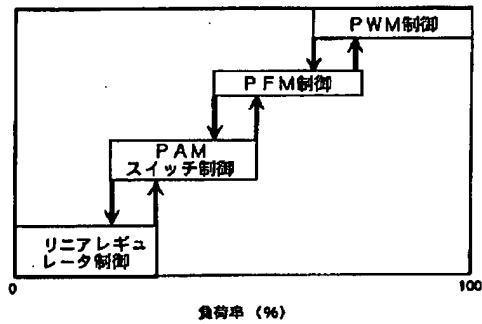
【図 13】

図 13



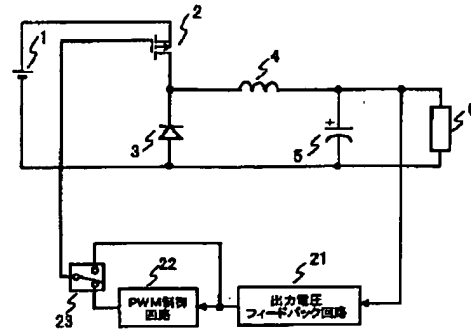
【図14】

図 14



【図15】

図 15



フロントページの続き

(72)発明者 徳永 紀一  
茨城県日立市大みか町七丁目1番1号 株  
式会社日立製作所日立研究所内

(72)発明者 嵯峨 良平  
群馬県高崎市西横手町111番地 株式会社  
日立製作所半導体グループ内

Fターム(参考) 5H730 AA14 AS01 BB13 BB57 DD04  
DD13 DD28 EE08 EE10 EE14  
FD01 FD31 FF02 FG05 FG06  
FG23 FG25